

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
11 DE 37 33 554 A 1

21 Aktenzeichen: P 37 33 554.5
22 Anmeldetag: 3. 10. 87
43 Offenlegungstag: 21. 4. 88

ter Meer, Steinmeister & Partner GbR
Einspruch gegen EP 1 197 830
Hynix Semiconductor J. Rambus Inc.
Dokument D17

11/20
H 03 L 7/06

DE 37 33 554 A 1

30 Unionspriorität: 32 33 31
07.10.86 US 916404

71 Anmelder:
Western Digital Corp., Irvine, Calif., US

74 Vertreter:
Schönwald, K., Dr.-Ing.; von Kreisler, A.,
Dipl.-Chem.; Fues, J., Dipl.-Chem. Dr.rer.nat.; Keller,
J., Dipl.-Chem.; Selting, G., Dipl.-Ing.; Werner, H.,
Dipl.-Chem. Dr.rer.nat., Pat.-Anwälte, 5000 Köln

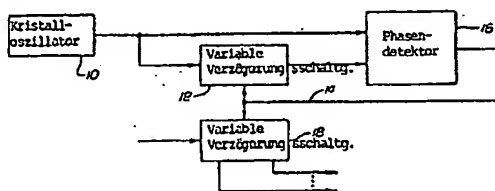
72 Erfinder:

Lofgren, Karl M. J., Long Beach, Calif., US; Shearer,
Gerald Weslie, Orange, Calif., US; Ouyang, Kenneth
W., Huntington Beach, Calif., US

Prüfungsantrag gem. § 44 PatG ist gestellt

54 PLL-Verzögerungsschaltung

Die Schaltung zum Erzeugen präziser Verzögerungen enthält eine phasensynchronisierte (PLL-)Schleife, die von einem Referenzfrequenzgenerator wie einem Kristalloszillator gesteuert ist und eine variable Verzögerungsschaltung (12) aufweist. Das Ausgangssignal des Generators (10) wird der Verzögerungsschaltung (12) zugeführt, und das nicht verzögerte und das verzögerte Signal werden in einem Phasenkomparator (16) verglichen. Ein den Phasenfehler repräsentierendes Fehlersignal wird erzeugt und der Verzögerungsschaltung (12) zugeführt, um das Verzögerungsmaß so lange zu verändern, bis der Phasenfehler eliminiert ist. Auf diese Weise wird in bezug auf die Generatorfrequenz eine präzise Verzögerung erreicht.



DE 37 33 554 A 1

Patentansprüche

1. Schaltung zum Erzeugen eines Signals, das in bezug auf ein digitales Eingangssignal eine präzise Verzögerung aufweist, dadurch gekennzeichnet, daß ein Referenzfrequenzgenerator (10) ein periodisches Eingangssignal erzeugt; eine variable Verzögerungsschaltung (12) das Eingangssignal empfängt und ein Ausgangssignal erzeugt, das in bezug auf das Eingangssignal verzögert ist; und eine Steuerschaltung (35) die Phasen zwischen dem Eingangssignal und dem Ausgangssignal vergleicht und zur Erzielung eines gewünschten Phasenverhältnisses das von der Verzögerungsschaltung (12) bewirkte Maß der Verzögerung verändert.
2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß die Verzögerungsschaltung (12) einen Steuereingang aufweist, der eine Steuerspannung zum Steuern des Verzögerungsmaßes empfängt; und die Steuerschaltung (35) eine Einrichtung (36, 38, 64, 72) aufweist, die die Steuerspannung (VCP) als Funktion der Phasendifferenz zwischen dem Eingangspegel und dem Ausgangssignal erzeugt.
3. Schaltung nach Anspruch 2, dadurch gekennzeichnet, daß die Steuerschaltung (35) eine Einrichtung aufweist, die ermittelt, ob die Phase des Eingangssignals der Phase des Ausgangssignals vor- oder nachsteht, und die als Antwort darauf das Steuersignal in einer ersten oder einer zweiten Richtung verändert.
4. Schaltung nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die Einrichtung (36, 38, 64, 72) zum Erzeugen der Steuerspannung (VCP) eine Ladepumpe (35) mit einem Kondensator (36) aufweist, welcher geladen oder entladen wird, wobei die Spannung (VCP) am Kondensator (36) die Steuerspannung ist, daß die Ermittlungseinrichtung ein erstes Signal (PUMP DOWN) erzeugt, das die Ladepumpe (35) zum Laden des Kondensators (36) in einer ersten Richtung veranlaßt, wenn die Phase des Eingangssignals der Phase des Ausgangssignals vorangeht, und ein zweites Signal (PUMP UP) erzeugt, das die Ladepumpe (35) zum Laden des Kondensators (36) in der entgegengesetzten Richtung veranlaßt, wenn die Phase des Eingangssignals der Phase des Ausgangssignals nachsteht.
5. Schaltung nach Anspruch 4, dadurch gekennzeichnet, daß die Bestimmungseinrichtung einen Phasendetektor (16) aufweist, der das Eingangssignal (OSC) und das Ausgangssignal (DOSC) empfängt, sowie das erste Signal (PUMP DOWN) während einer Zeitperiode zwischen einer Anstiegsflanke des Eingangssignals (OSC) und der nächsten Anstiegsflanke des Ausgangssignals (DOSC) erzeugt und das zweite Signal (PUMP UP) während einer Zeitperiode zwischen einer Anstiegsflanke des Ausgangssignals (DOSC) und der nächsten Anstiegsflanke des Eingangssignals (OSC) erzeugt.
6. Schaltung nach Anspruch 5, dadurch gekennzeichnet, daß der Phasendetektor (16) aufweist: ein erstes D-Flip-Flop (FF 1), das durch eine Anstiegsflanke des Eingangssignals (OSC) gesetzt wird; ein zweites D-Flip-Flop (FF 2), das durch eine Anstiegsflanke des Ausgangssignals (DOSC) gesetzt wird; ein erstes logisches Gatter (34), das mit den Flip-Flops (FF 1, FF 2) gekoppelt ist und von je-

- dem Flip-Flop ein Ausgangssignal empfängt und das erste Signal (PUMP DOWN) erzeugt, und ein zweites logisches Gatter (32), das mit den Flip-Flops (FF 1, FF 2) gekoppelt ist und von jedem Flip-Flop ein Ausgangssignal empfängt und das zweite Signal (PUMP UP) erzeugt.
7. Schaltung nach Anspruch 6, dadurch gekennzeichnet, daß eine Harmonischen-Steuereinrichtung das Ausgangssignal (DOSC) in bezug auf das Eingangssignal (OSC) um eine vorbestimmte Anzahl von Perioden des Eingangssignals (OSC) verzögert.
8. Schaltung nach Anspruch 7, dadurch gekennzeichnet, daß die vorbestimmte Anzahl von Perioden eins beträgt und die Harmonischen-Steuereinrichtung aufweist: eine Einrichtung, die das Ausgangssignal (DOSC) überwacht, um festzustellen, ob dieses ein gewünschtes Zeitgebungsverhältnis zum Eingangssignal (OSC) hat, und eine Einrichtung, die die Betriebsweise der Schaltung derart korrigiert, daß bei Ermittlung einer inkorrekten Wellenform eine Verzögerung von einer Periode geschaffen wird.
9. Schaltung nach Anspruch 8, dadurch gekennzeichnet, daß die Korrektoreinrichtung eine Einrichtung aufweist, die die Verzögerungsschaltung (12) derart zurücksetzt, daß diese ein Ausgangssignal (DOSC) mit der kleinstmöglichen Verzögerung erzeugt und dadurch die Schaltung anschließend die Verzögerung des Ausgangssignals (DOSC) so vergrößert, daß eine Verzögerung um eine Periode des Eingangssignals (OSC) erfolgt.
10. Schaltung nach Anspruch 2, dadurch gekennzeichnet, daß die Verzögerungsschaltung (12) mehrere in Reihe verbundene Inverter (112, 114, 120, 122) und eine Einrichtung zum Modulieren der Schaltgeschwindigkeit der Inverter aufweist.
11. Schaltung nach Anspruch 10, dadurch gekennzeichnet, daß jeder Inverter aus einem Paar CMOS-Transistoren (112, 114; 120, 122) besteht und die Modulationseinrichtung zusätzliche Transistoren (116, 118, 124, 126) aufweist, die zwischen den Invertern und Stromversorgungsverbindungen geschaltet sind, und die Steuerspannung (VCP) derart an die zusätzlichen Transistoren angelegt wird, daß der den Invertern zugeführte Strom und somit deren Schaltgeschwindigkeit verändert wird.
12. Phasensynchronisierte Schaltung zum Erzeugen eines Ausgangssignals, das in bezug auf ein periodisches digitales Eingangssignal eine präzise Verzögerung aufweist, dadurch gekennzeichnet, daß eine Einrichtung (10) ein periodisches digitales Eingangssignal mit einer Referenzfrequenz erzeugt; eine variable Verzögerungsschaltung (12) das Eingangssignal (OSC) empfängt und ein Ausgangssignal (DOSC) erzeugt, das in bezug auf das Eingangssignal verzögert ist; und eine phasensynchronisierte Steuerschaltung (16) das Eingangssignal (OSC) und das Ausgangssignal (DOSC) empfängt und die Verzögerungsschaltung (12) derart steuert, daß das Ausgangssignal (DOSC) in bezug auf das Eingangssignal (OSC) phasenaufgeschaltet ist.
13. Schaltung nach Anspruch 12, dadurch gekennzeichnet, daß die Steuerschaltung (16) eine Einrichtung aufweist, die das Ausgangssignal (DOSC) um eine vorbestimmte Anzahl von Perioden des Eingangssignals (OSC) verzögert.

14. Schaltung nach Anspruch 13, dadurch gekennzeichnet, daß die Steuerschaltung aufweist: einen Phasenkomparator (16), der die Phase des Eingangssignals (*OSC*) mit der Phase des Ausgangssignals (*DOSC*) vergleicht, der ein erstes Fehlersignal (*PUMP DOWN*) erzeugt, wenn die Phase des Eingangssignals der Phase des Ausgangssignals voreilt, und der ein zweites Fehlersignal (*PUMP UP*) erzeugt, wenn die Phase des Eingangssignals der Phase des Ausgangssignals nacheilt; und eine Korrektur-
einrichtung (35, 36), die als Antwort auf die Fehlersignale ein Steuersignal (*VCP*) zum Steuern des Verzögerungsmaßes der Verzögerungsschaltung erzeugt.

15. Schaltung nach Anspruch 14, dadurch gekennzeichnet, daß die Korrekturereinrichtung (35, 36) eine Ladepumpe (35) aufweist, die als Antwort auf das erste Fehlersignal in einer ersten Richtung und als Antwort auf das zweite Fehlersignal in einer zweiten Richtung geladen wird, wobei die Spannung (*VCP*) an dem Kondensator (36) das Steuersignal zum Steuern der Verzögerungsschaltung (12) ist.

16. Schaltung nach Anspruch 15, dadurch gekennzeichnet, daß die Verzögerungsschaltung (12) mehrere in Reihe geschaltete Inverter (112, 114; 120, 122) und eine Einrichtung (116, 118, 124, 126) aufweist, die die Schaltgeschwindigkeit der Inverter derart verändert, daß die von der Verzögerungsschaltung (12) geschaffene Verzögerung verändert wird.

17. Schaltung nach Anspruch 16, dadurch gekennzeichnet, daß jeder Inverter aus einem Paar von CMOS-Transistoren (112, 114; 120, 122) besteht, die Veränderungseinrichtung mehrere erste Versorgungstransistoren (116, 118, 124, 126) aufweist, die zum Steuern der Stromzufuhr zu den Invertern zwischen einem ersten Stromversorgungsanschluß und den Invertern geschaltet sind, wobei die Versorgungstransistoren (116, 124) von dem Steuersignal (*VCP*) des Kondensators gesteuert werden.

18. Schaltung nach Anspruch 17, dadurch gekennzeichnet, daß die Veränderungseinrichtung mehrere zweite Versorgungstransistoren (118, 126) aufweist, die zum Steuern der Stromzufuhr zu den Invertern zwischen einem zweiten Stromversorgungsanschluß und den Invertern geschaltet sind; und die Korrekturereinrichtung (35, 36) eine zweite Einrichtung (38) aufweist, die ein zweites Steuersignal (*VCN*) zum Steuern der zweiten Versorgungstransistoren erzeugt.

19. Schaltung nach Anspruch 18, dadurch gekennzeichnet, daß die ersten Versorgungstransistoren (116, 124) MOS-Transistoren eines ersten Leitfähigkeitstyps (*P*) und die zweiten Versorgungstransistoren (118, 126) MOS-Transistoren eines zweiten Leitfähigkeitstyps (*N*) sind und die Einrichtung (38) zum Erzeugen des zweiten Steuersignals (*VCN*) den Betrag des zweiten Steuersignals als Funktion des Betrages des ersten Steuersignals (*VCP*) steuert.

20. Schaltung nach Anspruch 19, dadurch gekennzeichnet, daß die Einrichtung zum Erzeugen des zweiten Steuersignals aufweist: einen ersten MOS-Steuertransistor (74), der von dem Steuersignal gesteuert wird; einen zweiten MOS-Steuertransistor (76); einen zweiten Kondensator (38), der mit dem Gatter des zweiten MOS-Steuertransistors verbunden ist, wobei die Spannung am zweiten Kondensa-

tor (38) das zweite Steuersignal (*CVN*) bildet; und eine Stromsteuereinrichtung, die den zweiten MOS-Steuertransistor (76) derart steuert, daß der durch diesen fließende Strom ein vorbestimmtes Verhältnis zu dem durch den ersten MOS-Steuertransistor (74) fließenden Strom aufweist.

21. Schaltung nach Anspruch 20, dadurch gekennzeichnet, daß die Stromsteuereinrichtung aufweist: einen CMOS-Inverter (78), dessen Eingang mit seinem Ausgang verbunden ist, wobei der erste und der zweite MOS-Steuertransistor (74, 76) zum Zuführen von Strom zum Inverter (78) geschaltet sind; und eine Vergleichseinrichtung (84), die das Ausgangssignal des Inverters mit einer Referenzspannung vergleicht und den zweiten MOS-Steuertransistor (76) treibt, bis das Ausgangssignal des Inverters (78) gleich der Referenzspannung ist.

22. Schaltung nach Anspruch 21, dadurch gekennzeichnet, daß die Referenzspannung im wesentlichen gleich der Schaltspannung des Inverters (78) ist.

23. Schaltung zum Erzeugen eines gesteuerten Verzögerungsmaßes in bezug auf ein digitales Eingangssignal, dadurch gekennzeichnet, daß ein Referenzfrequenzgenerator (10) ein periodisches Ausgangssignal (*OSC*) erzeugt; eine erste variable Verzögerungsschaltung (12) das Ausgangssignal (*OSC*) des Referenzfrequenzgenerators (10) empfängt und ein Ausgangssignal (*DOSC*) mit einer durch ein Steuersignal bestimmten Verzögerung erzeugt;

eine Phasenaufschaltseinrichtung (16) die Phase des Ausgangssignals (*OSC*) des Referenzfrequenzgenerators (10) mit der Phase des Ausgangssignals (*DOSC*) der variablen Verzögerungsschaltung (12) vergleicht und das Steuersignal für die variable Verzögerungsschaltung (12) erzeugt, derart, daß das Ausgangssignal (*DOSC*) der variablen Verzögerungsschaltung (12) phasenaufgeschaltet mit dem Ausgangssignal (*OSC*) des Referenzfrequenzgenerators (10) ist; und

eine zweite variable Verzögerungsschaltung (18) ein digitales Eingangssignal (*DATA*) empfängt und ein Ausgangssignal erzeugt, das in bezug auf das Eingangssignal (*OSC*) verzögert ist, wobei das Steuersignal zum Steuern des Verzögerungsmaßes der zweiten Verzögerungsschaltung (18) zugeführt wird und die als Antwort auf die Steuersignalveränderung erfolgende Verzögerungsveränderung der ersten Verzögerungsschaltung (12) proportional zur als Antwort auf dieselbe Steuersignalveränderung erfolgende Verzögerungsveränderung der zweiten Verzögerungsschaltung (18) ist.

24. PLL-Schaltung zum Erzeugen eines Signals, das in bezug auf ein periodisches Referenzsignal präzise verzögert ist, dadurch gekennzeichnet, daß eine Referenzfrequenzquelle (10) ein periodisches Ausgangssignal (*OSC*) erzeugt;

eine variable Verzögerungsschaltung (12) einen ersten Eingang zum Empfangen des Referenzsignals (*OSC*) und einen Steuereingang zum Empfangen eines Steuersignals (*VCP*) aufweist, die Verzögerungsschaltung ein periodisches Ausgangssignal (*DOSC*) erzeugt, das die gleiche Frequenz wie das Referenzsignal (*OSC*) aufweist und in bezug auf dieses um ein durch das Steuersignal (*VCP*) bestimmtes Maß verzögert ist;

eine Steuerschaltung (16) die Phase zwischen dem

Referenzsignal (*OSC*) und dem Ausgangssignal (*DOSC*) vergleicht und das Steuersignal für die Verzögerungsschaltung erzeugt, derart, daß zum Erzielen eines gewünschten Phasenverhältnisses das Verzögerungsmaß verändert wird, die Steuerung (16) eine Einrichtung zum Bestimmen der Richtung des Phasenfehlers zwischen dem Referenzsignal (*OSC*) und dem Ausgangssignal (*DOSC*) aufweist und das Steuersignal in der Richtung verändert, in der der Phasenfehler verringert wird.

25. Schaltung nach Anspruch 24, dadurch gekennzeichnet, daß die Steuerung (16) eine Einrichtung zum Einstellen des Steuersignals auf einen Anfangswert aufweist, der eine Verzögerung bewirkt, welche den anfänglichen Phasenfehler in einer vorgegebenen Richtung ausrichtet.

26. Schaltung nach Anspruch 24, dadurch gekennzeichnet, daß die Steuerung (16) aufweist: einen Phasendetektor, der die Phasen des Referenzsignals (*OSC*) und des Ausgangssignals (*DOSC*) vergleicht und ein erstes Fehlersignal (*PUMP DOWN*) erzeugt, wenn ein Phasenfehler in einer ersten Richtung ermittelt wird, und der ein zweites Fehlersignal (*PUMP UP*) erzeugt, wenn ein Phasenfehler in einer zweiten Richtung ermittelt wird; und eine Ladepumpe (35), die die Fehlersignale empfängt und das Steuersignal als Antwort auf die Fehlersignale (*VCP*) erzeugt.

27. Schaltung nach Anspruch 26, dadurch gekennzeichnet, daß der Phasendetektor aufweist: ein erstes *D*-Flip-Flop (*FF 1*), das von den Anstiegsflanken des Referenzsignals (*OSC*) getaktet ist; ein zweites *D*-Flip-Flop, das von den Anstiegsflanken des Ausgangssignals (*DOSC*) getaktet ist; eine Phasenvergleichs-Steueranordnung, die die Flip-Flops als Antwort auf eine erste Anstiegsflanke des Referenzsignals aktiviert, wodurch sich das erste Flip-Flop (*FF 1*) von der nächsten Anstiegsflanke des Referenzsignals (*OSC*) und das zweite Flip-Flop (*FF 2*) von der nächsten Anstiegsflanke des Ausgangssignals (*DOSC*) takten läßt; und eine logische Einrichtung (32, 34), die zum Erzeugen der Fehlersignale (*PUMP DOWN*, *PUMP UP*) mit den Ausgängen der Flip-Flops verbunden ist.

28. Schaltung nach Anspruch 27, dadurch gekennzeichnet, daß die Phasenvergleichs-Steueranordnung (16) ein drittes *D*-Flip-Flop (*FF 3*) aufweist, das von einer Anstiegsflanke des Referenzsignals (*OSC*) getaktet ist, wobei das Ausgangssignal (*NEWSET*) des dritten Flip-Flops (*FF 3*) die Aktivierung des ersten und des zweiten Flip-Flops (*FF 1*, *FF 2*) steuert.

29. Schaltung nach Anspruch 28, dadurch gekennzeichnet, daß das dritte Flip-Flop (*FF 3*) ein Ausgangssignal erzeugt, welches das erste und das zweite Flip-Flop (*FF 1*, *FF 2*) als Antwort auf eine erste Anstiegsflanke des Referenzsignals (*OSC*) wirksam schaltet, so daß das erste Flip-Flop (*FF 1*) von der nächsten Anstiegsflanke des Referenzsignals (*OSC*) getaktet wird, und welches das erste und das zweite Flip-Flop als Antwort auf eine dritte Anstiegsflanke des Referenzsignals (*OSC*), welches unmittelbar nach der nächsten Anstiegsflanke des Referenzsignals (*OSC*) erfolgt, in den unwirksamen Zustand rückstellt.

Beschreibung

Die Erfindung betrifft eine PLL-(phase-locked loop)-Verzögerungsschaltung zum Erzeugen eines Ausgangssignals, das in bezug auf ein Eingangssignal um einen präzisen Wert verzögert ist. Derartige Schaltungen werden auch als "Verzögerungsleitungen" bezeichnet und sind vielseitig verwendbar. Beispielsweise werden Verzögerungsschaltungen gewöhnlich für Datentrennungs-PLL-Schleifen bei Diskettenlaufwerken benutzt. Verzögerungsleitungen werden ferner zur optimalen Zeitgebung bei der Steuerung von dynamischen Hochgeschwindigkeits-RAM-Speichern verwendet, welche den Hauptspeicher praktisch aller Personal Computers bilden.

Ein Typ einer herkömmlichen Verzögerungsleitung besteht aus mehreren hintereinandergeschalteten Schaltungen wie etwa Invertern. Jeder Inverter erzeugt einen bekannten Verzögerungswert, und Ausgangssignale für verschiedene Verzögerungen in bezug zueinander werden abgeleitet, indem die Ausgangssignale verschiedener Inverter entlang der Leitung abgegriffen werden. Andere Typen von Verzögerungsleitungen weisen LC-Schaltungen und RC-Schaltungen auf. Um präzise Verzögerungen zu erreichen, müssen die Verzögerung beeinflussende Parameter, z. B. Ablauf, Temperatur und Spannung, sehr exakt gesteuert werden. Das Erzielen genauer Verzögerungen in IC-Verzögerungsleitungen hat sich als sehr schwierig erwiesen. Die Anzahl der beeinflussenden Parameter sowie die Tatsache, daß sich die Parameter im Lauf der Zeit ändern, macht es schwierig, eine gewünschte Verzögerung zu erzielen und aufrechtzuerhalten. Abgesehen von der Schwierigkeit des Erzielens präziser Verzögerungen führen Bemühungen, präzise Verzögerungen durch exakte Steuerung verschiedener Parameter zu erreichen, zu erhöhten Herstellungskosten für die integrierte Schaltung.

Es ist die Aufgabe der Erfindung, eine Verzögerungsleitung zu schaffen, die eine PLL-Schleife zum Erzielen und Aufrechterhalten einer präzisen Verzögerung aufweist.

Zur Lösung der Aufgabe ist gemäß einer ersten Variante der Erfindung die Vorrichtung nach Anspruch 1 vorgesehen. Vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen beschrieben.

Die Erfindung macht sich die Tatsache zunutze, daß, obwohl die IC-Verzögerungsschaltungen an sich nicht sehr präzise sind, sich jedoch die Verzögerungen durch gleiche Einrichtungen (wie Inverterpaare) extrem gut angleichen. Die erfindungsgemäße Verzögerungsleitung weist mehrere sich entsprechende variable Verzögerungsschaltungen auf, die entsprechend einem spannungsgesteuerten Oszillator einer PLL-Schaltung funktionieren.

Das Ausgangssignal eines Referenzfrequenzgenerators (typischerweise ein Kristalloszillator mit fester Frequenz, aber eventuell auch eine variable Quelle wie ein spannungsgesteuerter Oszillator) wird dem Eingangssignal der Verzögerungsleitung zugefügt. Ein Phasendetektor vergleicht die Phase des Ausgangssignals der Verzögerungsleitung mit der Phase des Eingangssignals der Verzögerungsleitung. Ein für den Phasenfehler repräsentatives Fehlersignal wird erzeugt und einem Steuereingangssignal der Verzögerungsleitung hinzugefügt, um den Verzögerungsbetrag zu variieren und den Phasenfehler zu beseitigen. Wenn kein Phasenfehler vorliegt, erzeugt die Verzögerungsleitung eine Verzögerung, die einer ganzen Zahl von Perioden der Referenz-

renzfrequenz gleicht. Es kann eine Schaltung vorgesehen sein, die gewährleistet, daß die Verzögerung einer einzigen Periode der Referenzfrequenz gleicht. Wenn die Referenzfrequenz sehr präzise ist (was bei Verwendung eines Kristalloszillators der Fall ist), ist auch die resultierende, von der Verzögerungsleitung erzeugte Verzögerung präzise. Sich verändernde Parameter wie Spannungs- und Temperaturschwankungen, die auf die Verzögerungsleitung einwirken können, werden somit ausgeglichen, da die PLL-Schaltung stets veranlaßt, daß zum Schaffen der gewünschten Verzögerung das Steuersignal für die Verzögerungsleitung verändert wird.

Im folgenden wird eine Ausführungsform der Erfindung im Zusammenhang mit den Zeichnungen näher erläutert. Es zeigt

Fig. 1 ein Blockschaltbild der erfindungsgemäßen Schaltung;

Fig. 2A und 2B schematisch Teile der erfindungsgemäßen Schaltung;

Fig. 3 schematisch die Schaltung eines einzigen Verzögerungsblocks der Verzögerungsleitung;

Fig. 4 schematisch die Schaltung des letzten Elements der Verzögerungsleitung;

Fig. 5 schematisch die Verzögerungsleitung, der ein Datensignal zugeführt wird; und

Fig. 6 bis 8 Zeitgebungsdiagramme der Arbeitsweise der Verzögerungsleitung.

Gemäß Fig. 1 wird bei der Schaltung ein sehr präzises periodisches Signal von einem Kristalloszillator 10 verwendet, um eine Verzögerungsschaltung mit präzisen gewünschten Verzögerungen zu schaffen. Eine variable Frequenzquelle wie ein spannungsgesteuerter Oszillator kann für bestimmte Anwendungsformen benutzt werden. Das Ausgangssignal des Oszillators 10 ist mit *OSC* bezeichnet und wird einer variablen Verzögerungsschaltung 10 zugeführt, die als Antwort auf das Signal *OSC* ein verzögertes Ausgangssignal *DOSC* erzeugt. Das Maß der von der Schaltung 12 erzeugten Verzögerung wird von einem auf der Leitung 14 empfangenen Steuersignal gesteuert.

Die Signale *OSC* und *DOSC* werden beide einem Phasendetektor 16 zugeführt, der als Antwort auf die Ermittlung einer Phasendifferenz zwischen den beiden Signalen ein Fehlersignal auf der Leitung 14 erzeugt. Somit liegt ein Phasenfehler vor, wenn das *DOSC*-Signal in bezug auf das *OSC*-Signal nicht um genau eine oder mehrere Perioden des *OSC*-Signals verzögert ist, und auf Leitung 14 wird ein Fehlersignal erzeugt. Der Betrag der Verzögerung wird als Antwort auf das Fehlersignal verändert. Der Phasendetektor 16 kann auch eine Schaltung zum ermitteln harmonischer Fehler aufweisen, um zu gewährleisten, daß die Verzögerung einer einzigen Periode und nicht mehrerer Perioden des Signals *OSC* gleicht.

Somit bilden der Oszillator 10, die variable Verzögerungsschaltung 12 und der Phasendetektor 16 eine Schaltung mit phasensynchronisierter Schleife (PLL-Schaltung), die die Verzögerungsschaltung 12 dazu veranlaßt, eine Verzögerung zu erzeugen, welche genau einer Taktperiode des Ausgangssignals des Oszillators gleicht. Das Steuersignal auf der Leitung 14, das zum Steuern des Verzögerungsbetrages verwendet wird, läßt sich anschließend einer zweiten Verzögerungsschaltung 18 zuführen, die der Schaltung 12 gleicht und somit gleiche Verzögerungen schafft. Die Verzögerungsschaltung 18 weist mehrere Verzögerungs-Ausgangssignalabgriffe auf, von denen jeder eine unterschiedliche Verzögerung hat, welche zum Erzeugen ge-

wünschter Verzögerungen eines mit *DATA* bezeichneten Datensignals verwendet werden. Beispielsweise kann die Verzögerungsschaltung 18 bei Verwendung in einem Datenseparator benutzt werden, um Schreibvorkompensation und die zur Datentrennung verwendeten Fenstersignale zu erzeugen. Bei bestimmten Anwendungsformen läßt sich die Verzögerungsschaltung 12 benutzen, um mehrere Steuersignale mit einem vorbestimmten Verhältnis zu erzeugen. Bei derartigen Anwendungen wird die Verzögerungsschaltung 18 nicht verwendet.

Im folgenden wird die Arbeitsweise einer Ausführungsform der Schaltung im Zusammenhang mit Fig. 2A und 2B beschrieben. Die Verzögerungsschaltung 12 besteht aus mehreren hintereinandergeschalteten Blöcken *D* 1 bis *D* 16 und einem Endblock *L*. Jeder Verzögerungsblock *D* besteht aus einem CMOS-Inverter-Paar, das modulierte Stromquellen aufweist, um seine Umschaltgeschwindigkeit zu variieren. Steuersignale *VCP* und *VCN* werden jedem der Blöcke zugeführt, um die Zuführung von Strom zu den CMOS-Invertern zu modulieren und die Umschaltgeschwindigkeit zu variieren, so daß die von der Gesamtverzögerungsschaltung erzeugte Verzögerung verändert wird.

Das Zuführen des *OSC*-Signals vom Oszillator zur Verzögerungsschaltung erfolgt über Pufferinverter 20 und 22 und einen Anfangsverzögerungsblock *Dx*, der zur Gestaltung der Wellenform vorgesehen ist, um sicherzustellen, daß jeder Block der Verzögerungsschaltung ein Signal mit gleicher Gestalt bearbeitet, so daß die Verzögerung durch jeden Block identisch ist.

Der grundlegende Phasenermittlungsablauf zum Ermitteln eines Phasenfehlers zwischen dem Oszillator und dem Ausgangssignal der Verzögerungsschaltung 12 erfolgt durch *D*-Flip-Flops *FF* 1 und *FF* 2. Das Flip-Flop *FF* 1 wird durch das *OSC*-Signal getaktet (welches durch die Inverter 20 und 22, den Block *Dx*, einen Inverter 24 und einen Inverter 26 zugeführt wird, deren Verzögerungen bei der Erläuterung der Arbeitsweise der Schaltungen nicht berücksichtigt werden). Das *DOSC*-Signal taktet das Flip-Flop *FF* 2 über Inverter 28 und 30 (welche sich den Verzögerungen durch die Inverter 24 und 26 anpassen). Die Inverter 24, 26, 28 und 30 dienen als Puffer für die Eingangssignale der Flip-Flops.

Die Ausgangssignale der Flip-Flops *FF* 1 und *FF* 2 treiben zwei NAND-Gatter 32 und 34, deren Ausgangssignale einer in Fig. 2B gezeigten Ladepumpe (charge pump) 35 übermittelt werden. Die Ladepumpe erzeugt die Steuersignale *VCP* und *VCN*. In Abhängigkeit von den Ausgangssignalen der NAND-Gatter 32 und 34 werden MOS-Kondensatoren 36 und 38 in der Ladepumpe geladen oder entladen, um die Werte der Steuerspannungen *VCP* und *VCN* zu verändern. Diese Steuerspannungen werden der Verzögerungsschaltung 12 zugeführt, um den von jedem Block erzeugten Verzögerungsbetrag zu verändern. Die kürzeste Verzögerung wird erzeugt, wenn die Spannung *VCP* null Volt beträgt.

Bei der beschriebenen Schaltung werden ein zusätzliches *D*-Flip-Flop *FF* 3 und eine zugehörige Steuerschaltung verwendet, um eine Dreizyklus-Phasenvergleichsequenz zu erzeugen, die gewährleistet, daß korrekt bestimmt wird, ob das verzögerte Signal *DOSC* der Phase des Oszillatorsignals *OSC* vor- oder nachsteht. (Es können auch andere Verfahren als die Dreizyklussequenz verwendet werden.) Deshalb erfolgen Korrekturen der Steuersignale *VCP* und *VCN* stets in geeigneter bzw. korrekter Richtung, d. h. um die Verzögerung zu vergrößern, wenn das verzögerte Signal der Phase des Os-

zillatorsignals voreilt, und die Verzögerung zu verringern, wenn die Phase des Verzögerungssignals der Phase des Oszillatorsignals nacheilt.

Fig. 6 ist ein Zeitgebungsdiagramm des Dreizyklus-Phasenvergleichsablaufs der Schaltung gemäß Fig. 2. Die Schaltung ist so aufgebaut, daß bei Beginn der Stromzufuhr die kürzeste mögliche Verzögerung erzeugt wird, um sicherzustellen, daß das verzögerte Signal um weniger als eine Periode des OSC-Signals verzögert wird. Durch die Phasenaufschalt-Operation wird die Verzögerung dann so lange vergrößert, bis ein Aufschalten auf eine Verzögerung von einer Periode des OSC-Signals erfolgt. Somit wird ein ungewünschtes Aufschalten auf Harmonische (zwei oder mehr OSC-Perioden) verhindert. Die geringfügige Verzögerung nach dem Starten der Vorrichtung erfolgt durch ein D-Flip-Flop FF4. Wenn der Schaltung Strom zugeführt wird, wird an den Setz-Eingang des Flip-Flops FF4 ein Stromzufuhr-Rückstellimpuls POR angelegt, wodurch das Q-Ausgangssignal des Flip-Flops FF4 HIGH wird. Dieses Signal schaltet einen Transistor 72 ein (Fig. 2B), der die Entladung des Kondensators 36 veranlaßt, so daß die Spannung VCP null wird.

Dem Flip-Flop FF3 wird das Stromzufuhr-Rückstell-signal POR an seinem Rückstelleingang zugeführt. Dadurch wird bei Stromzufuhr zur Schaltung ein Q-Ausgangssignal LOW. Sechs Inverter 40 sind mit diesem Ausgang verbunden, und das als NEWSET bezeichnete Ausgangssignal des letzten Inverters ist ebenso null. Dieses Signal wird den Setz-Eingängen der Flip-Flops FF1 und FF2 und einem Eingang eines NAND-Gatters 42 zugeführt. Das Q-Ausgangssignal des Flip-Flops FF1 wird dem anderen Eingang des NAND-Gatters 42 zugeführt.

Das NEWSET-Signal steuert die Aktivierung der Flip-Flops FF1 und FF2. Zu Anfang ist das NEWSET-Signal LOW, wodurch die Q-Ausgänge der Flip-Flops FF1 und FF2 HIGH gehalten werden. Somit wird auch das Ausgangssignal des NAND-Gatters 42 HIGH. Die erste Anstiegsflanke des OSC-Signals (in Fig. 6 mit ENABLE bezeichnet) taktet das Flip-Flop FF3 (über die Inverter 20 und 22, den Verzögerungsblock Dx, den Inverter 24 und einen Inverter 44), und gibt das HIGH-Signal am Dateneingang an den Q-Ausgang weiter. Das Flip-Flop FF1 wird nicht von der ersten Anstiegsflanke des OSC-Signals getaktet, da es wegen des LOW-Zustandes des NEWSET-Signals nicht wirksam wird.

Nach einer durch die Inverter 40 verursachten leichten Verzögerung wird das NEWSET-Signal HIGH und schaltet dadurch die beiden Flip-Flops FF1 und FF2 wirksam. Somit sind die Flip-Flops bereit, von der nächsten Anstiegsflanke der über ihre jeweiligen Takteingänge zugeführten Signale getaktet zu werden. Das Flip-Flop FF1 wird vom OSC-Signal getaktet, und das Flip-Flop FF2 wird von dem DOSC-Signal getaktet. Somit betätigt das erste OSC-Signal mit Hilfe des Flip-Flops FF3 die Flip-Flops FF1 und FF2, wodurch dem zweiten OSC-Signal (in Fig. 6 mit "COMPARE" bezeichnet) ermöglicht wird, das Flip-Flop FF1 zu takten, und dem DOSC-Signal ermöglicht wird, das Flip-Flop FF2 zu takten. Die D-Eingänge beider Flip-Flops sind geerdet, und somit läßt das Takten ihrer Q-Ausgänge LOW werden. In Fig. 6 wird das DOSC-Signal in dem Zustand gezeigt, in dem es vor dem zweiten OSC-Signal eintrifft, und deshalb wird das Flip-Flop FF2 zuerst getaktet. Wenn das Flip-Flop FF1 getaktet wird, wird sein Q-Ausgangssignal HIGH, und der Ausgang des NAND-Gatters 42 wird LOW. Somit bewirkt das nächste OSC-

Signal (in Fig. 6 mit "SET" bezeichnet), das das Q-Ausgangssignal des Flip-Flops FF3 LOW wird, wodurch nach einer kurzen Verzögerung durch die Inverter 40 das NEWSET-Signal LOW wird. Dadurch werden die Q-Ausgangssignale der Flip-Flops FF1 und FF2 HIGH. Die Flip-Flops werden durch den nächsten OSC-Impuls (in Fig. 6 mit "ENABLE" bezeichnet) erneut wirksam betätigt.

Somit schafft das NEWSET-Signal ein Fenster, in Fig. 6 als "COMPARE WINDOW" bezeichnet, in dem der Phasenvergleich zwischen den Signalen OSC und DOSC ermöglicht wird. Das Fenster beginnt kurz nach dem Auftreten der ersten Anstiegsflanke des OSC-Signals, so daß ein Phasenvergleich der nächsten Anstiegsflanke des OSC-Signals mit dem verzögerten Signal DOSC erfolgen kann. Das Fenster endet mit der dritten Anstiegsflanke des OSC-Signals, und anschließend wird der Zyklus wiederholt. Das Erzeugen von Fenstern gewährleistet, daß das verzögerte Signal DOSC mit der nächsten Anstiegsflanke des OSC-Signals und nicht mit der dem verzögerten Signal entsprechenden Anstiegsflanke verglichen wird (d. h. in Fig. 6 wird die erste DOSC-Flanke mit der "COMPARE"-Flanke des OSC-Signals und nicht mit der dieser vorausgehenden "ENABLE"-Flanke verglichen). Auf diese Weise erfolgt eine korrekte Bestimmung der Richtung jedes Phasenfehlers.

Die Inverter 40 bewirken ein verzögert entstehendes NEWSET-Signal (wobei die Verzögerung geringer ist als die kleinste durch die Schaltung 12 erzeugte Verzögerung), um kleine Schwankungen des DOSC-Signals aufzufangen. Durch diese geringe Verzögerung wird die Möglichkeit einer unkorrekten Bestimmung der Richtung eines Phasenfehlers weiter reduziert.

Im folgenden wird im Zusammenhang mit Fig. 7 der tatsächliche Phasenvergleich beschrieben, der von der Schaltung gemäß Fig. 2 für verschiedene Signale durchgeführt wird. Fig. 7A zeigt das OSC-Signal mit den drei Zyklen, die mit "SET", "ENABLE" und "COMPARE" bezeichnet sind. Das Q-Ausgangssignal des Flip-Flops FF1 wird über einen Inverter 48 dem NAND-Gatter 34 zugeführt, während das Q-Ausgangssignal des Flip-Flops FF1 über fünf Inverter 50 dem Eingang des NAND-Gatters 32 zugeführt wird. Auf ähnliche Weise wird das Q-Ausgangssignal des Flip-Flops FF2 über fünf Inverter 52 einem Eingang des NAND-Gatters 32 zugeführt, während das Q-Ausgangssignal des Flip-Flops FF2 über fünf Inverter 54 einem Eingang des NAND-Gatters 34 zugeführt wird. Die Inverter 50 und 54 dienen zum Erzeugen einer leichten Verzögerung, um eine Totzone bei der Betätigung der Ladepumpe zu vermeiden.

Fig. 7B zeigt den Zustand, in dem das verzögerte Signal DOSC der Phase des Oszillatorsignals OSC vorangeht. In dieser Situation taktet die Anstiegsflanke des DOSC-Signals das Flip-Flop FF2, wodurch das Ausgangssignal des NAND-Gatters 32 LOW wird. Dieses Ausgangssignal ist in Fig. 2 mit PUMP UP bezeichnet und in Fig. 7C gezeigt. Das LOW-Ausgangssignal des NAND-Gatters 32 bewirkt, daß die Ladepumpe den Kondensator 36 lädt und die Spannung VCP vergrößert, wodurch sich das Maß der Verzögerung vergrößert. Gleichzeitig wird die Steuerspannung VCN des Kondensators 38 verringert. Im folgenden wird die genaue Funktionsweise der Ladepumpe erläutert.

Wenn das "COMPARE"-Signal OSC eintrifft, wird das Q-Ausgangssignal des Flip-Flops FF1 HIGH, wodurch nach der Verzögerung durch die Inverter 50 das

PUMP UP-Signal gemäß Fig. 7 zum HIGH-Niveau zurückkehrt.

Fig. 7D zeigt die Situation, in der das verzögerte Signal in bezug auf das *OSC*-Signal phasenmäßig nacheilt. In diesem Fall wird die Ladepumpe entladen, um die *VCP*-Spannung am Kondensator 36 zu senken. Dies führt zu einem Ansteigen der Spannung am Kondensator 38 und somit auch der Spannung *VCN*. Das "COMPARE"-*OSC*-Signal taktet das Flip-Flop FF 1, so daß ein *Q*-Ausgangssignal LOW wird, wodurch das Ausgangssignal des NAND-Gatters 34 LOW wird. Das (in Fig. 2 mit *PUMP DOWN* bezeichnete und in Fig. 7E gezeigte) Ausgangssignal des Inverters 56 wird somit HIGH und der Ladepumpe zugeführt. Dieses Signal bewirkt die Entladung des Kondensators 36, wodurch die Spannung *VCP* verringert und die Spannung *VCN* wird. Das Absenken der *VCP*-Spannung verringert die Verzögerung des *DOSC*-Signals und bewirkt somit, daß seine Phase in bezug auf diejenige des *OSC*-Signals aufholt.

Wenn aus irgendeinem Grund wie in Fig. 7F kein verzögertes Signal auftritt, veranlaßt die Schaltung, daß das *PUMP DOWN*-Signal HIGH wird, um die Spannung *VCP* abzusenken und somit die Verzögerung des verzögerten Signals zu verringern. Wie Fig. 7G zeigt, wird das *PUMP DOWN*-Signal an der "COMPARE"-Flanke des *OSC*-Signals HIGH und an der "SET"-Flanke auf ein LOW-Niveau zurückgesetzt (nach der geringen Verzögerung durch die Inverter 54). Ein neuer Vergleichszyklus beginnt deshalb mit der kürzest-möglichen Verzögerung.

Die beschriebene Vorrichtung führt Veränderungen der Verzögerung der Verzögerungsschaltung nach, die von vergleichsweise langer Dauer sind und durch Faktoren wie Schwankungen der Temperatur und der Zuführspannung verursacht werden. Der Dreizyklen-Phasenvergleichsablauf zur korrekten Bestimmung der Richtung von Phasenfehlern erfolgt schnell genug, um derartige im System auftretende lang andauernde Phasenfehler zu korrigieren.

Bei einer herkömmlichen PLL-Schaltung läßt sich durch Frequenzunterschiede zwischen den Signalen, deren Phasen verglichen werden (einer Referenzfrequenz und dem Ausgangssignal eines spannungsgesteuerten Oszillators) das Aufschalten von Phase und Frequenz erreichen, auch wenn anfängliche Phasenkorrekturen in der falschen Richtung erfolgen. Bei der beschriebenen Verzögerungsschaltung sind die Frequenzen der verglichenen Signale genau gleich, da sie von derselben Quelle stammen.

Wenn Phasenkorrekturen in der falschen Richtung erfolgen, könnte das Phasenaufschalten eigentlich nicht mit dem Resultat eines korrekten Maßes der Verzögerung durchgeführt werden. Aus diesem Grund wird eine Vielfachzyklen-Phasenvergleichssequenz verwendet, um zu gewährleisten, daß sämtliche Phasenkorrekturen in der richtigen Richtung erfolgen.

Im folgenden wird die Arbeitsweise der Ladepumpe im Zusammenhang mit Fig. 2B beschrieben, in der die verschiedenen MOSFET-Transistor-Typen mit "P" oder "N" bezeichnet sind. Die Ladepumpe lädt den Kondensator 36 als Antwort auf den LOW-Zustand des *PUMP UP*-Signals und entlädt den Kondensator 36 als Antwort auf den HIGH-Zustand des *PUMP DOWN*-Signals. Wenn keines dieser Signale vorliegt, bleibt die Spannung am Kondensator 36 (und somit der Verzögerungsbetrag) im wesentlichen konstant.

Die Ladepumpe weist eine Präzisionsstromquelle auf, die aus zwei zu Dioden geschalteten Transistoren 58

und 60 und einem Widerstand 62 besteht. Diese Präzisionsstromquelle erzeugt einen Referenzstrom zum Bestimmen der Lade- und Entladerate des Kondensators 36. Der Kondensator 36 wird über einen Transistor 64 geladen, der mit der positiven Stromquelle verbunden ist. Der Transistor 64 ist mit dem Kondensator 36 durch einen Transistorschalter 66 verbunden, der leitend gemacht wird, wenn das *PUMP UP*-Signal LOW wird. Der Transistor 64 ist mit dem Transistor 58 in einer Stromspiegelanordnung verbunden, und der durch die beiden Transistoren fließende Strom ist deshalb gleich. Deshalb wird der Kondensator 36 bei im LOW-Zustand befindlichen *PUMP UP*-Signal mit einem gesteuerten Referenzstrom gespeist.

Das Entladen des Kondensators 36 wird auf ähnliche Weise gesteuert. Das Entladen erfolgt durch einen Transistor 68, der in Stromspiegelanordnung mit dem Transistor 60 verbunden ist, welcher mit dem Kondensator 36 durch einen Transistor 70 verbunden ist, der beim HIGH-Zustand des *PUMP DOWN*-Signals leitet. Das Entladen kann auch auf die nachfolgend beschriebene Weise durch den Transistor 72 erfolgen.

Das oben beschriebene Laden und Entladen des Kondensators 36 dient zum Verändern der Steuerspannung *VCP*, die der Verzögerungsschaltung zugeführt wird, um die von der Schaltung erzeugte Verzögerung zu verändern. Bei einigen Anwendungsformen reicht eine Steuerspannung zum Steuern der Verzögerung aus. Bei der beschriebenen Ausführungsform jedoch wird auch die zweite Steuerspannung *VCN* erzeugt und der Verzögerungsleitung zugeführt. Wie nachfolgend detailliert erläutert wird, besteht die Verzögerungsschaltung aus modulierten Invertoren, in denen positive und negative Versorgungstransistoren moduliert werden, um die Schaltzeit zu verändern. Die Spannung *VCP* wird zum Modulieren eines positiven und die Spannung *VCN* zum Modulieren eines negativen Versorgungstransistors zugeführt.

Um die Spannung *VCN* aus der Spannung *VCP* zu generieren, gleicht die Schaltung gemäß Fig. 2B den durch die Transistoren 74 und 76 fließenden Strom aus, und zwar auf einem Niveau, das der Schaltschwelle der Inverter der Verzögerungsschaltung entspricht. Dies erfolgt durch einen Inverter 78, der den Verzögerungsinvertoren nachempfunden ist, aus Transistoren 80 und 82 besteht und zwischen den Transistoren 74 und 76 geschaltet ist. Das Eingangssignal des Inverters wird mit seinem Ausgangssignal verbunden und durch einen Komparator 84 mit der Schaltschwelle verglichen. Die Schaltschwelle ist auf 2,5 Volt eingestellt, d. h. auf die Hälfte der positiven Stromzuführspannung von 5 Volt. Der Komparator besteht aus Transistoren 86-94 und steuert die Basis des Transistors 76, bis das Eingangssignal zur Basis des Transistors 90 demjenigen zur Basis des Transistors 88 gleicht, d. h. 2,5 beträgt. Auf diese Weise werden die Ströme durch die Transistoren 74 und 76 so eingestellt, daß sie bei der Schaltschwelle des Inverters 78 (und somit an den Invertoren der Verzögerungsschaltung) gleich sind. Die dem Transistor 76 zugeführte Spannung wird auch zum Laden des Kondensators 38 und somit zum Aufbau der Steuerspannung *VCN* zugeführt.

Die Schaltung gemäß Fig. 2 erzeugt eine Verzögerung von genau einer Periode des *OSC*-Signals. Bei der gängigsten Anwendung der hier beschriebenen Ausführungsform beträgt diese Periode 200 ns. Da der Phasenkomparator jedoch Anstiegsflanken des *OSC*-Signals und des verzögerten *DOSC*-Signals vergleicht, ist es

möglich, daß ein Phasenaufschalten beim Vielfachen einer einzigen Periode des Signals *OSC* auftreten könnte. Diese Situation ist in Fig. 8 gezeigt. Die Verzögerungsschaltung 12 gemäß Fig. 8A und 8B soll eine Verzögerung von einer Taktperiode erzeugen. Somit soll die Schaltung derart auf die Anstiegsflanken der Signale *OSC* und *DOSC* aufschalten, daß für zwei beliebige Signale, die gerade verglichen werden, die *DOSC*-Anstiegsflanke von der *OSC*-Flanke um eine Periode vor der gerade verglichenen *OSC*-Flanke erzeugt wurde. Dies wird durch den Pfeil 100 gezeigt. Jedoch ist es möglich, daß die Schaltung tatsächlich auf eine Anstiegsflanke des *DOSC*-Signals aufschaltet, das dem *OSC*-Signal um zwei oder mehr Taktperioden folgt, wie der Pfeil 102 in Fig. 8C und 8D zeigt. In einem derartigen Fall würden die Steuerspannungen *VCP* und *VCN* unkorrekt gesteuert, so daß die modulierten Inverter der Verzögerungsschaltung eine Verzögerung von zwei oder mehr Taktperioden des *OSC*-Signals anstelle einer Verzögerung um eine Taktperiode erzeugen würden. Auch wenn die Schaltung eine falsche Verzögerung erzeugt, gleicht die Frequenz des *DOSC*-Signals weiterhin derjenigen des *OSC*-Signals, da die Schaltung zwar die Verzögerung des *OSC*-Signals, welches durch die Schaltung geht, nicht jedoch dessen Frequenz verändert.

Das Ausführungsbeispiel weist eine Schaltung zum Ermitteln unkorrekter Verzögerungen von mehr als einer Taktperiode ("harmonische" Fehler) und zum Rückstellen der Schaltung auf, so daß diese erneut ein Phasenaufschalten mit einer Verzögerung von einer einzigen Taktperiode des *OSC*-Signals bewirkt. Dies erfolgt durch das Flip-Flop *FF4* und logische Schaltungen einschließlich des NAND-Gatters 104 und der NOR-Gatter 106 und 108, wie Fig. 2A zeigt. Grundsätzlich dient diese Schaltung dazu, die Wellenform des die Verzögerungsschaltung 12 durchlaufenden Signals zu einem bestimmten Zeitpunkt zu überwachen, um zu gewährleisten, daß es der Wellenform entspricht, welche bei der korrekten Verzögerung um eine einzige Periode des Signals *OSC* erzeugt würde. Wenn das Signal nicht der genannten Wellenform entspricht, erzeugt das Flip-Flop *FF4* ein Fehlersignal, das den in Fig. 2B gezeigten Transistor 72 leitend macht und den Kondensator 76 entlädt. Dadurch geht die Steuerspannung *VCP* auf null, wodurch die Schaltung auf die kürzeste Verzögerung rückgestellt wird. Jegliche nachfolgenden Phasenkorrekturen können das Maß der Verzögerung lediglich vergrößern, und das anfängliche Phasenaufschalten erzeugt somit eine Ein-Zyklus-Verzögerung. Das Flip-Flop *FF4* macht den Transistor 72 auch dann leitfähig, wenn der Strom der Schaltung zuerst zum Starten mit der kürzesten Verzögerung zugeführt wird, wie oben beschrieben wurde. Das Ausgangssignal des Flip-Flops *FF4* wird somit mit *HARMONIC ERROR/INITIALIZE* bezeichnet.

Die Verzögerungsschaltung 12 arbeitet derart, daß ein Signal durch sie läuft, wobei auf jeder Stufe eine Verzögerung hinzugefügt wird. Die Gesamtverzögerung des endgültigen Ausgangssignals ist gleich der Summe der Verzögerungen der einzelnen Stufen. Zu jedem Zeitpunkt befindet sich das Ausgangssignal jeder Stufe entweder auf dem HIGH- oder dem LOW-Niveau. Wenn beispielsweise bei Beginn des *OSC*-Impulses eine korrekte Verzögerung um einen Zyklus erzeugt wird, befinden sich die Verzögerungsblöcke *D1*–*D8* auf dem HIGH-Niveau und die Blöcke *D9*–*D16* auf dem LOW-Niveau. Wenn jedoch die Gesamtverzögerungsschaltung eine Verzögerung um zwei Zyklen er-

zeugt, werden die Blöcke *D1*–*D4* und *D9*–*D12* HIGH und die Blöcke *D5*–*D8* und *D13*–*D16* LOW. Durch das Überwachen des Zustandes verschiedener Blöcke der Verzögerungsschaltung zu einem bestimmten Zeitpunkt läßt sich feststellen, ob die korrekte Verzögerung erzeugt wird. Diese Funktion wird von der in Fig. 2A gezeigten logischen Schaltung erfüllt. Das Flip-Flop *FF4* wird durch Pufferinverter 24 und 110 durch die Anstiegsflanke des *OSC*-Signals getaktet. Zu diesem Zeitpunkt sollten die Ausgangssignale der Verzögerungsleitblöcke *D2*–*D5* HIGH und ihre den Gattern 106 und 108 zugeführten invertierten Ausgangssignale LOW sein. Somit ist auch das Ausgangssignal des NAND-Gatters 104 LOW, und das Q-Ausgangssignal des Flip-Flops *FF4* ist ebenfalls LOW. Wenn jedoch ein harmonischer Fehler vorliegt, ist der Block *D5* LOW, und sein invertiertes Ausgangssignal, das dem Gatter 106 zugeführt wird, ist HIGH. Dadurch wird das Ausgangssignal des NAND-Gatters 104 HIGH, wodurch das Q-Ausgangssignal des Flip-Flops *FF4* HIGH wird. Somit wird der Transistor 72 in Fig. 2B geschaltet, und der Kondensator 36 wird entladen. Dann wird die Schaltung auf die kürzeste Verzögerung rückgestellt. Deshalb bewirkt der Phasenvergleichsablauf ein Ansteigen der Verzögerung, bis ein Phasenaufschalten auftritt, wobei die Verzögerung zu diesem Zeitpunkt aus einem einfachen Zyklus des *OSC*-Signals besteht.

Fig. 3 zeigt einen einzelnen Block *D* der Verzögerungsschaltung 12. Jeder Block besteht aus einem Paar von CMOS-Invertern, die mit Versorgungstransistoren gekoppelt sind, welche von den Steuersignalen *VCP* und *VCN* moduliert sind. Ein erster Inverter enthält Transistoren 112 und 114, wobei der Transistor 112 mit einem Transistor 116 verbunden ist, der seinerseits mit der positiven Stromzufuhr verbunden ist. Ein zweiter Inverter enthält Transistoren 120 und 122, die durch Transistoren 124 bzw. 126 mit der positiven Stromzufuhr bzw. mit Masse verbunden sind. MOS-Kondensatoren 128 und 130 sind zur örtlichen Spannungsstabilisierung vorgesehen. Durch das Modulieren der Spannungen *VCP* und *VCN* wird der Betrag des den Invertern zugeführten Stroms verändert, wodurch die Schaltgeschwindigkeit der Inverter verändert wird. Das Ausgangssignal des zweiten Inverters wird dem Eingang des nachfolgenden Verzögerungsblocks zugeführt und kann zusätzlich über einen Pufferinverter 132 als Verzögerungsleitungs-Ausgangssignal dienen. Dieses invertierte Ausgangssignal ist das Ausgangssignal, welches der logischen Schaltung zur harmonischen Ermittlung für die Blöcke *D2*–*D5* zugeführt wird, und ist das Gesamtverzögerungs-Ausgangssignal *DOSC* vom Block *D* 16.

Wie Fig. 4 zeigt, besteht ein End-Block *L* der Verzögerungsschaltung aus einem einzigen modulierten Inverter mit Transistoren 134 und 136 und modulierten Versorgungstransistoren 138 und 140. Der Zweck des Aufbaus dieses End-Blockes besteht darin, zu gewährleisten, daß die Wellenform des Ausgangssignals *DOSC* nicht dadurch beeinflußt wird, daß das Signal den letzten Block in der Verzögerungsleitung durchläuft.

Die in Fig. 2 gezeigte Schaltung dient zum Aufbauen der Steuerspannung *VCP* und *VCN*, die die gewünschte Verzögerung bewirken. Da jedoch zum Entwickeln der Steuerspannung das *OSC*-Signal der Verzögerungsschaltung 12 zugeführt werden muß, ist die zweite Verzögerungsschaltung 18 dazu vorgesehen, um die tatsächliche Verzögerung eines Dateneingangssignals zu bewirken. Gemäß Fig. 5 weist diese Verzögerungsschaltung 18 sieben Verzögerungsblöcke *D_A* bis *D_G* auf, die

den Blöcken in der Verzögerungsschaltung 12 gleichen. Somit verursachen die Steuerspannung VCP und VCN in den Blöcken $D_A - D_G$ die gleiche Verzögerung wie in den Blöcken $D_1 - D_{16}$. Dieses Maß an Verzögerung wird selbstverständlich durch Betätigung der PLL-Schaltung auf einen gewünschten Wert aufgeschaltet. In der Situation, in der die Verzögerungsschaltung 12 eine Verzögerung von 200 ns schafft, erzeugt jeder Block der Verzögerungsschaltung 12 und 18 eine Verzögerung von 12,8 ns. Ein Datensignal wird der Verzögerungsschaltung 18 über einen Pufferinverter 142 zugeführt, und die Ausgangssignale verschiedener Blöcke der Schaltung 18 lassen sich zum Erzeugen von Signalen mit verschiedenen gewünschten Verzögerungen verwenden. Beispielsweise können zum Erzeugen eines Fenstersignals zur Datentrennung die Ausgangssignale der Blöcke D_B und D_G zum Erzeugen von zwei Signalen verwendet werden, die im Verhältnis zueinander eine genaue Verzögerung aufweisen. Da die beiden Blöcke um fünf Blöcke auseinanderliegen, beträgt in diesem Fall die Gesamtverzögerung 60 ns. Auf ähnliche Weise lassen sich andere Ausgangssignale verwenden, um verschieden große Verzögerungen für Schreib-Vorkompensationszwecke zu schaffen. Inverter 144 sind zum Erzeugen von Signalen vorgesehen, die eine passende Polarität für die Anwendung in nachfolgenden logischen Schaltungen haben. Das Datensignal, das der Verzögerungsschaltung 18 als Eingangssignal zugeführt wird, wird nicht als das nichtverzögerte Signal für die Anwendung in weiteren Schaltungen benutzt. Vielmehr werden zwei der verzögerten Signale verwendet, da die Verzögerung zwischen Blöcken exakt bekannt ist.

Zusammenfassend läßt sich feststellen, daß die Erfindung eine PLL-Verzögerungsschaltung (Verzögerungsschaltung mit phasensynchronisierter Schleife) schafft, die trotz Veränderungen in Arbeitsparametern wie Temperatur und Stromzufuhr und großer Veränderungen bei der Herstellung der Schaltung präzise Verzögerungen bewirkt. Das System weist eine PLL-Schaltung für variable Verzögerung auf, wobei der Phasenaufschaltablauf verwendet wird, um eine Steuerspannung zum Steuern des Maßes der von der Verzögerungsschaltung erzeugten Verzögerung zu schaffen. Eine separate Verzögerungsschaltung mit gleichen Verzögerungsblöcken wird durch die gleiche Steuerspannung gesteuert und zum Verzögern eines Datensignals verwendet. Die Erfindung ist besonders nützlich bei Systemen, in denen ein Kristalloszillator oder eine andere Referenzzeitgebungs-Signalquelle bereits in der Schaltung vorgesehen ist.

INACHGEREICHT

3733554

32 1 29

Nummer: 37 33 554
 Int. Cl. 4: H 03 K 5/13
 Anmeldetag: 3. Oktober 1987
 Offenlegungstag: 21. April 1988

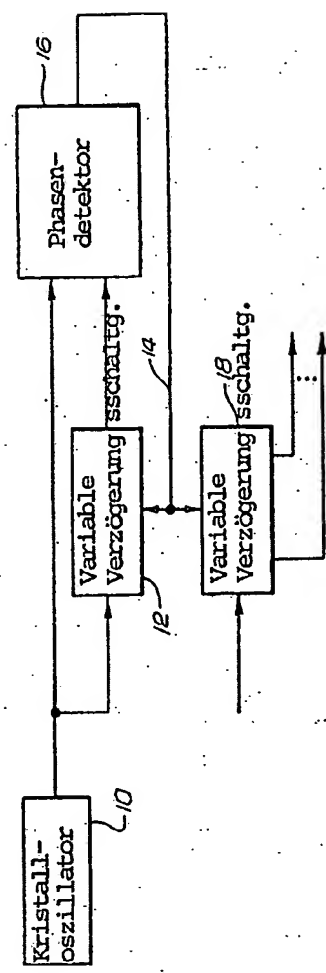


Fig. 1

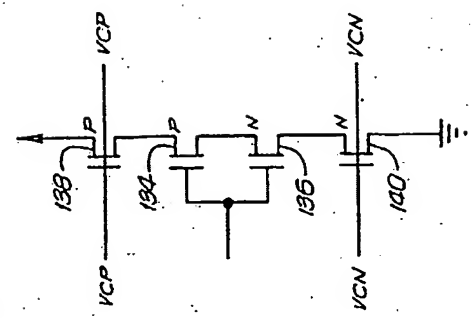


Fig. 2

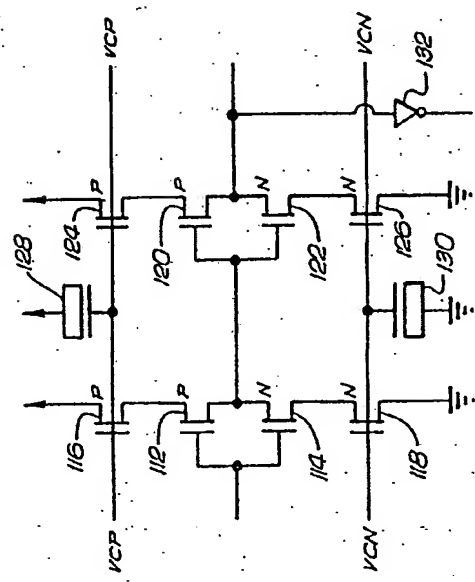


Fig. 3

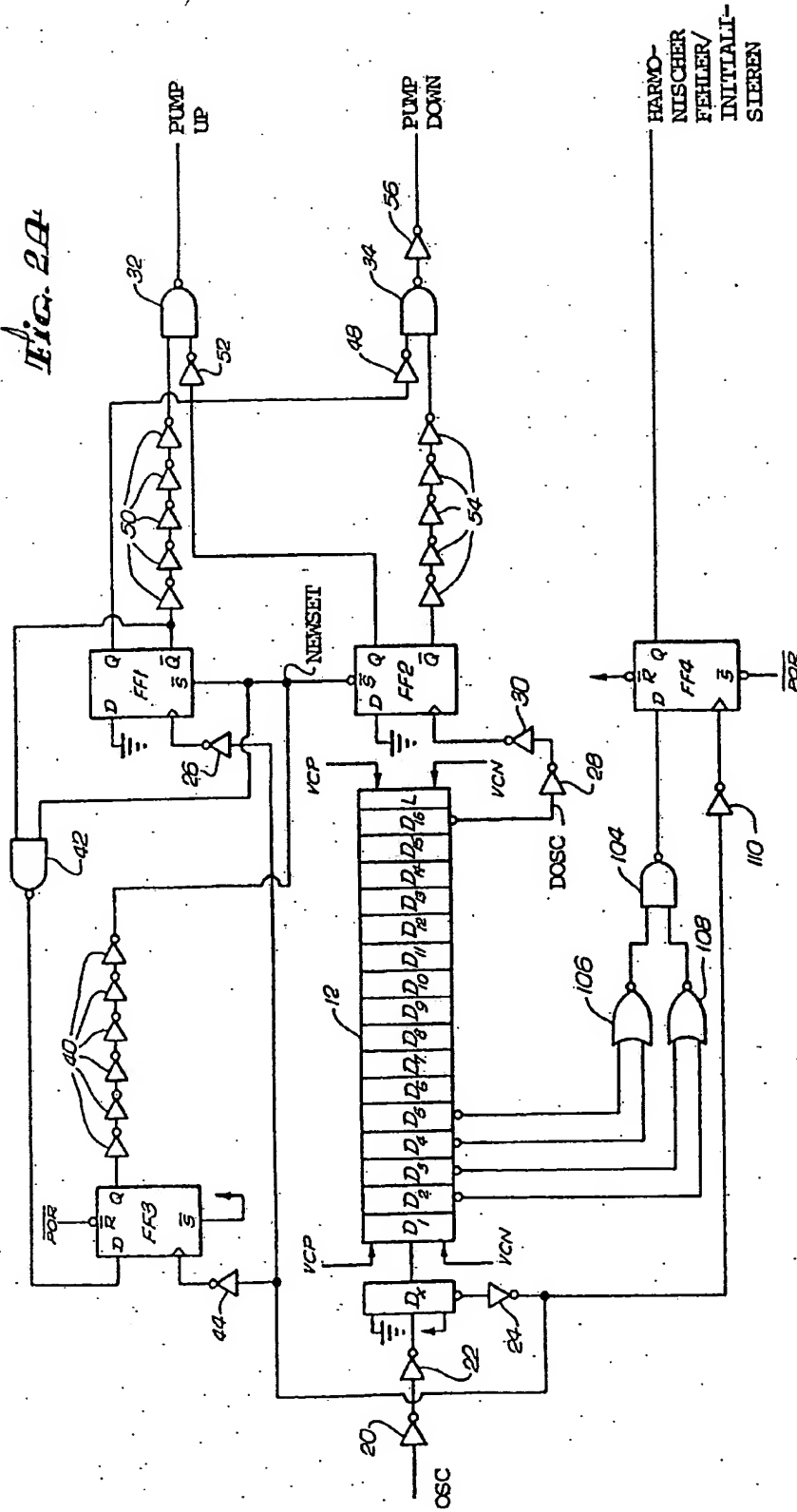
NACHBEREICHT

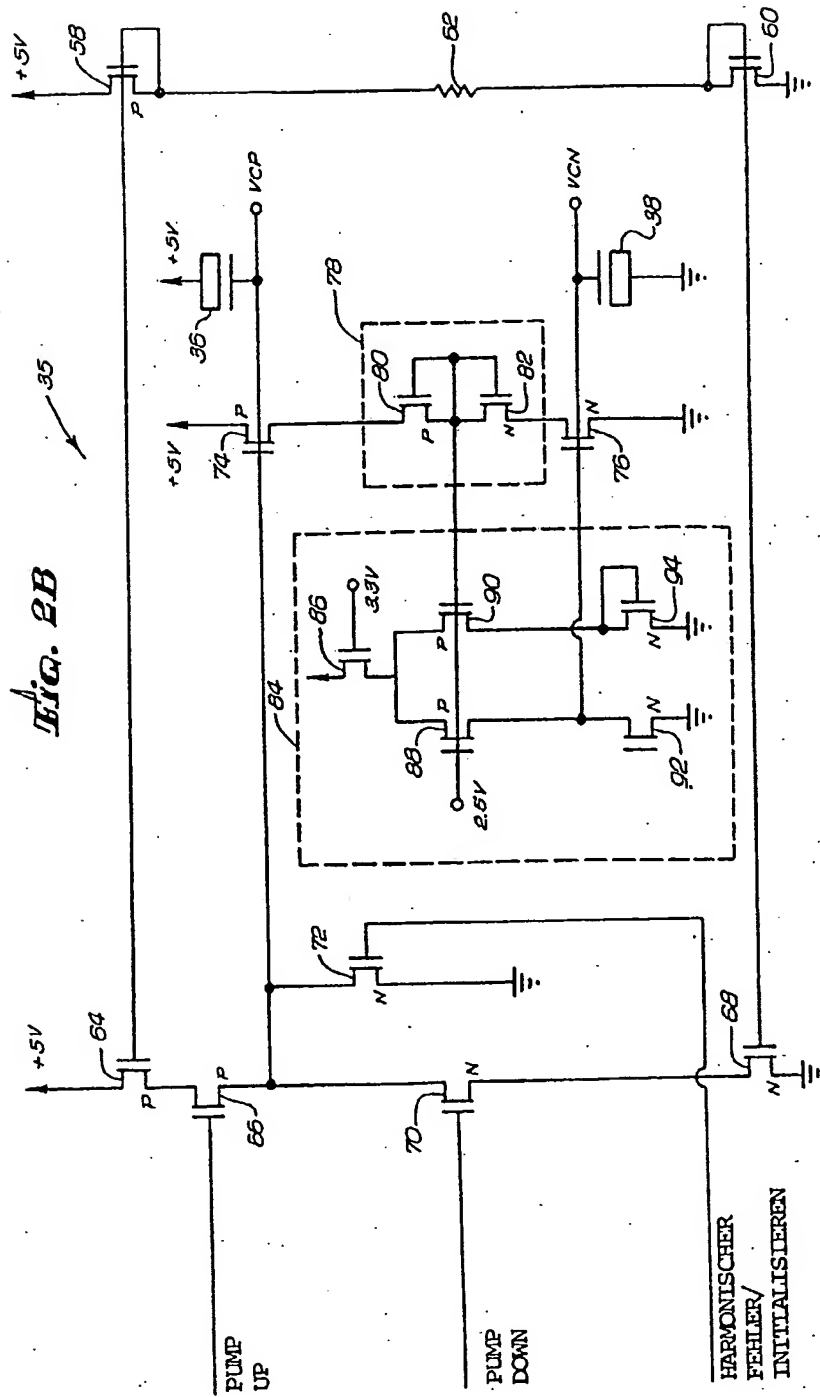
3733554

Fig. 33

33

Fig. 2A





3733554

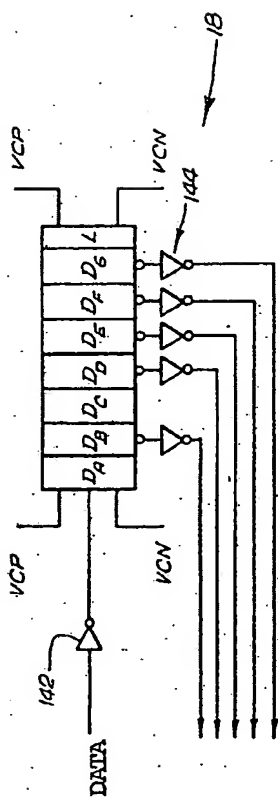


Fig. 5

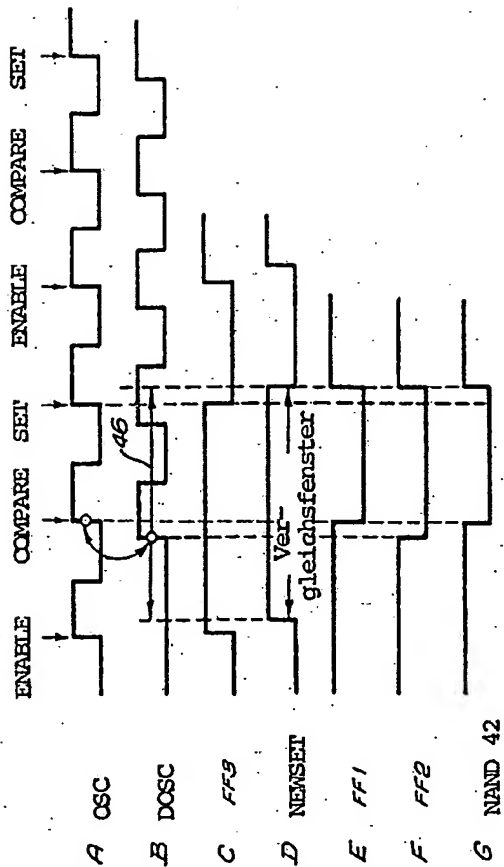


Fig. 6

3733554

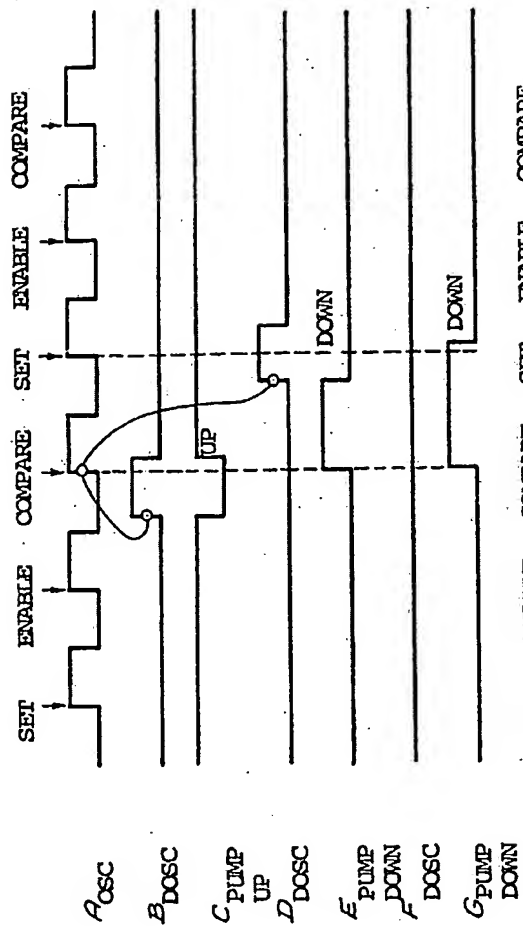


Fig. 7

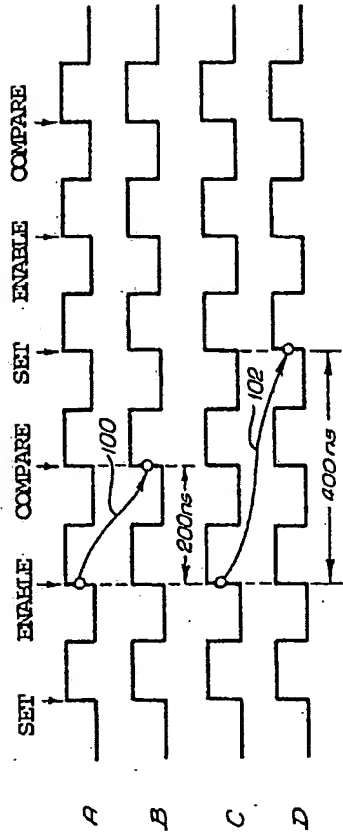


Fig. 8